

PATENT ABSTRACTS OF JAPAN

(11) Publication number : 2002-110910
 (43) Date of publication of application : 12.04.2002

(51) Int.Cl.	H01L 27/04 H01L 21/822
--------------	---------------------------

(21) Application number : 2000-	(71) Applicant : TOSHIBA CORP
297702	

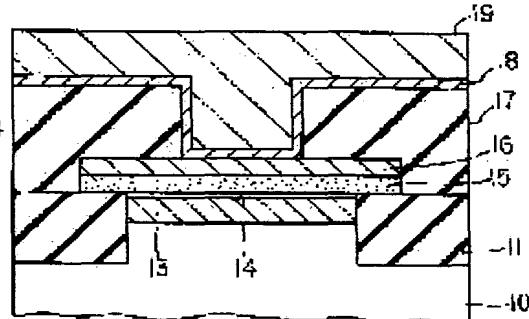
(22) Date of filing :	28.09.2000	(72) Inventor :	SHIBATA HIRONOBU EBUCHI YASUO SUGAWARA YASUHARU IGUCHI TOMOYUKI
-----------------------	------------	-----------------	--

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

(57) Abstract:

PROBLEM TO BE SOLVED: To fully reduce the leakage current of a capacitor and to enhance the breakdown voltage of the capacitor.

SOLUTION: A semiconductor device comprises a capacitor constituted by inserting a high dielectric film between a lower electrode 13 and an upper electrode 16. In this case, a dielectric film and the electrode 13, a silicon oxide film 14 and an amorphous Ta₂O₅ film 15 of high quality of a thickness of 6 to 10 nm are laminated on a cobalt silicide (CoSi₂) film.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-110910

(P2002-110910A)

(43)公開日 平成14年4月12日 (2002.4.12)

(51) Int.Cl.⁷

H 01 L 27/04
21/822

識別記号

F I

H 01 L 27/04

マークコード(参考)

C 5 F 0 3 8

審査請求 未請求 請求項の数7 OL (全7頁)

(21)出願番号

特願2000-297702(P2000-297702)

(22)出願日

平成12年9月28日 (2000.9.28)

(71)出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72)発明者 柴田 浩延

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

(72)発明者 江渕 康男

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

(74)代理人 100058479

弁理士 鈴江 武彦 (外6名)

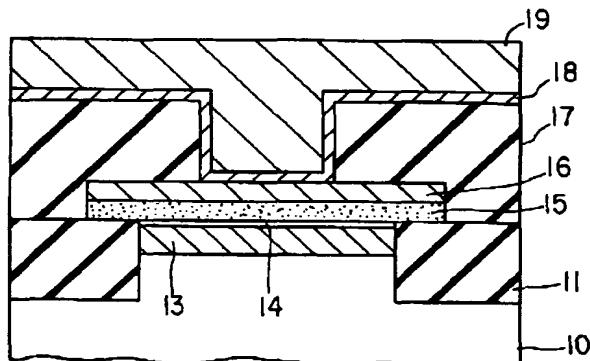
最終頁に続く

(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【課題】 キャパシタにおけるリーク電流を十分低減でき、且つキャパシタの高耐圧化をはかる。

【解決手段】 下部電極13と上部電極16との間に高誘電体膜を挿入してキャパシタを構成した半導体装置であって、高誘電体膜し、下部電極13としてのコバルトシリサイド(CoSi₂)膜上に厚さ6~10nmの良質のシリコン酸化膜14と非晶質のTa₂O₅膜15を積層したものである。



【特許請求の範囲】

【請求項1】下部電極と上部電極との間に誘電体膜を挿入してキャパシタを構成した半導体装置であって、前記誘電体膜は、シリコン酸化膜と非晶質の金属酸化膜との積層体であることを特徴とする半導体装置。

【請求項2】前記金属酸化膜は、Ta₂O₅であることを特徴とする請求項1記載の半導体装置。

【請求項3】前記下部電極は、シリコン基板又は金属シリサイドであることを特徴とする請求項1記載の半導体装置。

【請求項4】前記金属シリサイドを生成させる金属に、シリコンよりも酸化物生成エネルギーの絶対値が小さな物質を用いることを特徴とする請求項3記載の半導体装置。

【請求項5】前記シリコン酸化膜の膜厚は、6～10nmであることを特徴とする請求項1記載の半導体装置。

【請求項6】シリコン基板又は金属シリサイドからなる下部電極上に、酸化性雰囲気でスパッタすることにより非晶質の金属酸化膜を堆積する工程と、前記金属酸化膜を結晶化する温度よりも低い温度で熱処理することにより、該金属酸化膜と下部電極との間にシリコン酸化膜を形成する工程と、前記金属酸化膜上に上部電極を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項7】シリコン基板又は金属シリサイドからなる下部電極上に、所定温度の酸化性雰囲気でスパッタすることにより非晶質の金属酸化膜を堆積すると共に、該金属酸化膜と下部電極との間にシリコン酸化膜を形成する工程と、前記金属酸化膜上に上部電極を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、キャパシタ絶縁膜にTa₂O₅等の金属酸化膜を用いたキャパシタを有する半導体装置及びその製造方法に関する。

【0002】

【従来の技術】近年、半導体製造技術の進歩はめざましく、素子の寸法は益々微細化されている。このような状況で、TV用IC等のBiP/BiCMOSデバイスにおいては、スケーリング則に乗らない受動素子(キャパシタ、抵抗)の占有面積比が相対的に増大しつつある。

【0003】現状では、キャパシタの絶縁体膜(誘電体膜)として、シリコン酸化膜単層又はシリコン酸化膜/窒化膜/シリコン酸化膜の3層構造が使用されている。これらの誘電体を使用した場合の単位面積当たりの容量は各々2.0, 1.2fF/μm²程度であり、さほど大きくない。従って、今後デバイスの縮小を行う上で高誘電体膜の使用が必須となるが、高誘電体膜ではリーク特性、耐圧、信頼性等に問題があり、キャパシタ絶縁膜に適用することは難しかった。

【0004】例えば、高誘電体膜としてTa₂O₅を用いたキャパシタが提案されている(特開平8-279601号公報)。しかし、この種のこのキャパシタにおいては、リーク電流特性が満足できるものではなく、またその耐圧も低いため、高耐圧を要求されるデバイスには適用できなかった。

【0005】

【発明が解決しようとする課題】このように従来、Ta₂O₅等の高誘電体をキャパシタ絶縁体膜に用いたキャパシタが提案されているが、この種のキャパシタはリーク電流特性が悪く、十分な耐圧を得ることは困難であった。

【0006】本発明は、上記事情を考慮して成されたもので、その目的とするところは、キャパシタにおけるリーク電流を十分低減でき、且つキャパシタの高耐圧化をはかり得る半導体装置及びその製造方法を提供することにある。

【0007】

【課題を解決するための手段】(構成) 上記課題を解決するために本発明は次のような構成を採用している。

【0008】即ち本発明は、下部電極と上部電極との間に誘電体膜を挿入してキャパシタを構成した半導体装置であって、前記誘電体膜は、シリコン酸化膜と非晶質の金属酸化膜との積層体であることを特徴とする。

【0009】ここで、本発明の望ましい実施態様としては次のものが挙げられる。

【0010】(1) 金属酸化膜は、Ta₂O₅であること。

【0011】(2) 下部電極は、シリコン基板又は金属シリサイドであること。

【0012】(3) 金属シリサイドを生成させる金属に、シリコンよりも酸化物生成エネルギーの絶対値が小さな物質を用いること。

【0013】(4) 下部電極として用いる金属シリサイドは、コバルトシリサイド(CoSi₂)又はニッケルシリサイド(NiSi)であること。

【0014】(5) 下部電極として用いる金属シリサイド膜の表面凹凸が大きく、且つその上に均一な膜厚の金属酸化膜を有すること。

【0015】(6) シリコン酸化膜の膜厚は、6～10nmであること。

【0016】また本発明は、下部電極と上部電極との間に誘電体膜を挿入してキャパシタを構成した半導体装置であって、前記誘電体膜は、シリコン酸化膜と単結晶の金属酸化膜との積層体であることを特徴とする。

【0017】また本発明は、上記構造の半導体装置の製造方法において、シリコン基板又は金属シリサイドからなる下部電極上に、酸化性雰囲気でスパッタすることにより非晶質の金属酸化膜を堆積する工程と、前記金属酸化膜を結晶化する温度よりも低い温度で熱処理すること

により、該金属酸化膜と下部電極との間にシリコン酸化膜を形成する工程と、前記金属酸化膜上に上部電極を形成する工程とを含むことを特徴とする。

【0018】また本発明は、上記構造の半導体装置の製造方法において、シリコン基板又は金属シリサイドからなる下部電極上に、所定温度の酸化性雰囲気でスパッタすることにより非晶質の金属酸化膜を堆積すると共に、該金属酸化膜と下部電極との間にシリコン酸化膜を形成する工程と、前記金属酸化膜上に上部電極を形成する工程とを含むことを特徴とする。

【0019】また本発明は、上記構造の半導体装置の製造方法において、シリコン基板又は金属シリサイドからなる下部電極上にシリコン酸化膜を形成する工程と、前記シリコン酸化膜上に酸化性雰囲気でスパッタすることにより非晶質の金属酸化膜を堆積する工程と、前記金属酸化膜上に上部電極を形成する工程とを含むことを特徴とする。

【0020】(作用) 本発明によれば、下部電極上に高誘電体膜を形成する際に非晶質の金属酸化膜を形成しているので、キャパシタにおけるリーク電流を十分低減でき、キャパシタの高耐圧化をはかることができる。ここで、金属酸化膜が従来のように多結晶であると、結晶粒界がシリコン酸化膜が成長し、リークの原因を作ると共に安定性を悪くする。これに対し金属酸化膜が非晶質であると、結晶粒界が存在しないため、このような現象は生じない。

【0021】また、金属酸化膜が多結晶の場合は結晶粒界にシリコン酸化膜がはみ出すため均一なシリコン酸化膜を形成することは難しいが、非晶質の場合はこのような現象も生じないため高品質のシリコン酸化膜を形成することができる。なお、金属酸化膜が非晶質の場合、多結晶よりは誘電率が低いのでキャパシタ容量の点では不利であるが、高耐圧の観点からは格段に優れている。

【0022】このように本発明では、シリコン基板や金属シリサイド上に極めて薄い良質のシリコン酸化膜を成膜し、この上にタンタルオキサイド等の高誘電体膜を堆積し積層構造とすることで、高耐圧を実現し從来以上の容量密度の向上を行うことが可能となる。

【0023】

【発明の実施の形態】以下、本発明の詳細を図示の実施形態によって説明する。

【0024】(第1の実施形態) 図1は、本発明の第1の実施形態に係わる半導体装置を示す素子構造断面図である。

【0025】図中の10はSi基板であり、この基板10の表面の素子分離領域には素子分離用絶縁膜11が埋め込み形成されている。素子分離用絶縁膜11で囲まれた素子領域には金属シリコンサイドとしてのCoSi膜13が形成され、その上に極めて薄いシリコン酸化膜(SiO₂)14が形成されている。薄いSiO₂膜14

4上にはキャパシタ絶縁膜としての非晶質のTa₂O₅膜(金属酸化膜)15が形成され、その上に上部電極としてのTiN膜16が形成されている。Ta₂O₅膜15、TiN膜16等を形成した基板上には層間絶縁膜17が形成され、この絶縁膜17の一部にコンタクトホールが形成されている。そして、絶縁膜17上及びコンタクトホール内にTiN/Ti等のバリアメタル18を介してA1等の金属配線19が形成されている。

【0026】次に、本実施形態の半導体装置の製造方法を、図2を参照して説明する。

【0027】まず、図2(a)に示すように、Si基板10上の素子分離すべき部分に溝を掘り、この溝内に素子分離用絶縁膜11を埋め込み形成する。続いて、基板10の表面にシリコン酸化膜を形成し、キャパシタを形成する部分の酸化膜を除去する。なお、図面上では、シャロートレンチアイソレーション(STI)を作成しその間にキャパシタを作るよう描いている。このとき、ソース、ドレイン、ゲート等の低抵抗化を行いたい部分に関しても同時にシリコン酸化膜の除去を行ってよい。

【0028】次いで、図2(b)に示すように、基板10上の全面にコバルト(Co)/チタンナイトライド(TiN)又はチタン(Ti)/TiN積層膜21を連続堆積する。ここで、Coの代わりにニッケル(Ni)等の金属を用いる方がよい場合もある。

【0029】次いで、図2(c)に示すように、600°C程度の熱処理を施して、基板11の露出表面にCoSi等のシリサイド膜13を形成した後、硫酸と過酸化水素水の混合溶液にて未反応の余分な金属21を除去する。この熱処理時にCo上部にTiNをかぶせることでCoSi膜13の表面平坦度が向上する。TiNはCoとSiとの反応をより促進したい場合に用いる。この後、750°C程度の熱処理によりCoSi膜13を安定化させる。

【0030】次いで、図2(d)に示すように、キャパシタ絶縁膜としてのタンタルオキサイド(Ta₂O₅)膜15を、Ar及びO₂混合ガスを用いた反応性スパッタ法にて15nmの厚さに堆積する。このTa₂O₅膜15の堆積後、酸化性雰囲気で500~700°Cで加熱することで、図2(e)に示すように、Ta₂O₅膜15自体を緻密化すると同時に下地シリサイド電極13との間に極めて薄い、例えば8nmのシリコンの薄い酸化膜(SiO₂)14を生成する。

【0031】ここで、図2(b)に示す積層膜21の形成の際にTiNのキャップ層を用いないことで表面凹凸の大きなCoSi膜を生成することもできる。この場合は、Ta₂O₅膜の成膜方法として、ベンダエトキシタル(Ta(O₂C₂H₅)₅)とO₂を原料ガスとしたCVD法にて堆積する。このように、表面凹凸を大きくし均一な成膜方法を用いることで、耐圧を損なうこと

なくキャパシタ面積を増してより大きな容量密度を得ることもできる。

【0032】次いで、図2(f)に示すように、Ta, Ti, W及びこれらの窒化物等を上部電極16として形成する。続いて、RIE等により、上部電極16とTa₂O₅膜15をキャパシタ形状に加工する。このときの寸法は、酸化膜を開口したときよりも大きくとる。図では、素子分離絶縁膜11で囲まれた素子領域よりも大きくなる。

【0033】これ以降は、全面に層間絶縁膜17を形成した後、コンタクト開口のためにキャパシタ上部の絶縁膜を除去する。このとき、同時にソース／ドレイン／ゲート等のコンタクトを開口してもよい。この後、金属配線19を形成することによって、前記図1に示す構造が得られる。なお、Ta₂O₅膜15の形成以降は700°C以上の工程を避けアモルファス状態を保持するような工程を行っている。

【0034】このようにして製造された本装置においては、高誘電体膜としてのTa₂O₅膜15が非晶質であり、更にこの膜15と下地電極13との間に極めて薄い良質のSiO₂膜14が形成されるため、リーク電流が少なく、耐圧の向上をはかることができた。また、下部電極13に金属シリサイドを用いることで、シリサイドプロセスと整合のとれたプロセスが可能となる。

【0035】本発明者らの実験によれば、図1のような構成において、SiO₂膜14の膜厚を変えてキャパシタ密度を測定したところ、図3(a)に示すような結果が得られた。即ち、SiO₂の膜厚が厚くなるほどキャパシタ密度が低下する傾向にあり、10nmを越えるとキャパシタ密度が大幅に低下する。つまり、SiO₂の膜厚が10nm以下であれば十分大きなキャパシタ密度が得られる。また、SiO₂膜の膜厚を変えてリーク電流を測定したところ、図3(b)に示すような結果が得られた。即ち、SiO₂の膜厚が厚くなるほどリーク電流を減少する傾向にあり、特に膜厚が6nm以上になるとリーク電流が十分小さくなっている。従って、SiO₂の膜厚を6~10nmに設定すれば良好な素子特性が得られると考えられる。

【0036】(第2の実施形態)図4は、本発明の第2の実施形態に係わる半導体装置の製造工程を示す断面図である。なお、図2と同一部分には同一符号を付して、その詳しい説明は省略する。

【0037】本実施形態が先に説明した第1の実施形態と異なる点は、キャパシタ絶縁膜となるTa₂O₅膜及びSiO₂膜の形成方法にある。

【0038】図4(a)に示すように、素子分離絶縁膜11で囲まれた素子領域の表面にCoSi等のシリサイド膜13を形成するまでは第1の実施形態と同様である。この後、本実施形態では、図4(b)に示すように、Ta₂O₅膜15をAr及びO₂混合ガスを用いた

反応性スパッタ法にて堆積するが、この際に基板を300°Cに加熱することにより、Ta₂O₅膜15の形成と同時にSiO₂膜14を形成する。

【0039】これ以降は第1の実施形態と同様に、上部電極16の形成、キャパシタ形状への加工、層間絶縁膜17の形成、コンタクトの開口、金属配線19の形成等を行うことによって、前記図1に示す構造が得られる。

【0040】このように本実施形態によれば、高誘電体膜としてのTa₂O₅膜15の堆積時に基板温度を300°C程度に保つことにより、Ta₂O₅膜15と下地のシリサイド電極13との間に良質のSiO₂膜14を形成することができる。従って、第1の実施形態と同様の効果が得られる。

【0041】(第3の実施形態)図5は、本発明の第3の実施形態に係わる半導体装置の製造工程を示す断面図である。なお、図2と同一部分には同一符号を付して、その詳しい説明は省略する。

【0042】本実施形態が先に説明した第1の実施形態と異なる点は、キャパシタ絶縁膜となるTa₂O₅膜及びSiO₂膜の形成方法にある。

【0043】図5(a)に示すように、素子分離絶縁膜11で囲まれた素子領域の表面にCoSi等のシリサイド膜13を形成するまでは第1の実施形態と同様である。この後、本実施形態では、図5(b)に示すように、ドライO₂雰囲気、900°Cでアニールを行い、8nm程度の膜厚のSiO₂膜14を形成した。

【0044】次いで、図5(c)に示すように、Ar及びO₂混合ガスを用いた反応性スパッタ法にてTa₂O₅膜15を15nmの厚さに堆積した。

【0045】これ以降は第1の実施形態と同様に、上部電極16の形成、キャパシタ形状への加工、層間絶縁膜17の形成、コンタクトの開口、金属配線19の形成等を行うことによって、前記図1に示す構造が得られる。

【0046】このように本実施形態によれば、高誘電体膜としてのTa₂O₅の堆積前に、ドライO₂雰囲気で900°Cのアニール処理を施すことにより、下地のシリサイド電極13上に良質のSiO₂膜14を形成することができる。従って、第1の実施形態と同様の効果が得られる。

【0047】(変形例)なお、本発明は上述した各実施形態に限定されるものではない。キャパシタ絶縁膜として用いる金属酸化膜の金属はTaに限るものではなく、Tiを用いることもできる。さらに、酸化膜となった状態で絶縁性を有し、十分に高い誘電率を有する金属であれば用いることが可能である。

【0048】また、実施形態では金属酸化膜を非晶質に形成したが、これは多結晶のように結晶粒界が存在すると均一で良質のシリコン酸化膜が得られないためである。この観点からすると、金属酸化膜が単結晶であっても同様の効果が期待できる。つまり、本発明のキャパシ

タ絶縁膜はシリコン酸化膜と単結晶の金属酸化膜の積層であってもよい。

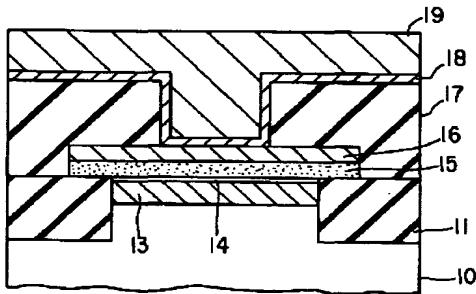
【0049】また、下地電極としての金属シリサイドは酸素と反応してシリコン酸化膜を形成する必要があるため、シリコンよりも酸化物生成エネルギーの絶対値が小さな物質であるのが望ましい。また、下地電極は必ずしも金属シリコンサイドに限るものではなく、シリコン層であってもよい。図6にその一例を示しておく。図中の30はp型シリコン基板、31はn型シリコン層、32はn⁺型シリコン層である。このように下地電極13がシリコン層32であっても、金属酸化膜15と下地電極13との間に良質のシリコン酸化膜14を形成できるので、本発明と同様の効果が期待できる。

【0050】その他、本発明の要旨を逸脱しない範囲で、種々変形して実施することができる。

【0051】

【発明の効果】以上詳述したように本発明によれば、高誘電体であることが要求されるキャパシタ絶縁膜として、シリコン酸化膜とTa₂O₅等の非晶質の金属酸化膜との積層体を用いることにより、キャパシタにおけるリーク電流を十分低減でき、且つキャパシタの高耐圧化をはかることができる。そして、積層膜の各々単独では、高耐圧を要求されるデバイスに対応できないが、上記の積層構造とすることで、高耐圧かつ従来より高容量密度のデバイスに対応できる。

【図1】



【図面の簡単な説明】

【図1】第1の実施形態に係わる半導体装置を示す素子構造断面図。

【図2】第1の実施形態における半導体装置の製造工程を示す断面図。

【図3】シリコン酸化膜の膜厚とキャパシタ密度及びリーク電流との関係を示す特性図。

【図4】第2の実施形態における半導体装置の製造工程を示す断面図。

【図5】第3の実施形態における半導体装置の製造工程を示す断面図。

【図6】本発明の変形例を示す素子構造断面図。

【符号の説明】

10…Si 基板

11…素子分離絶縁膜

13…COSi 膜（下地電極）

14…SiO₂ 膜

15…Ta₂O₅ 膜（金属酸化膜）

16…TiN 膜（上部電極）

17…層間絶縁膜

18…バリアメタル

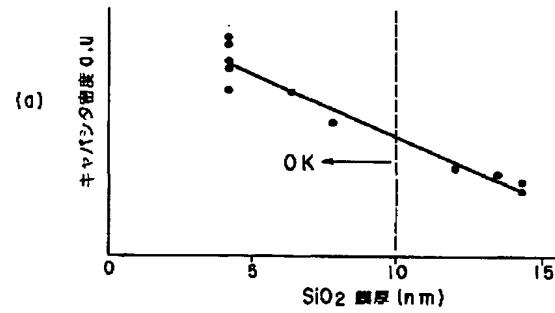
19…Al 膜（金属配線）

30…p型シリコン基板

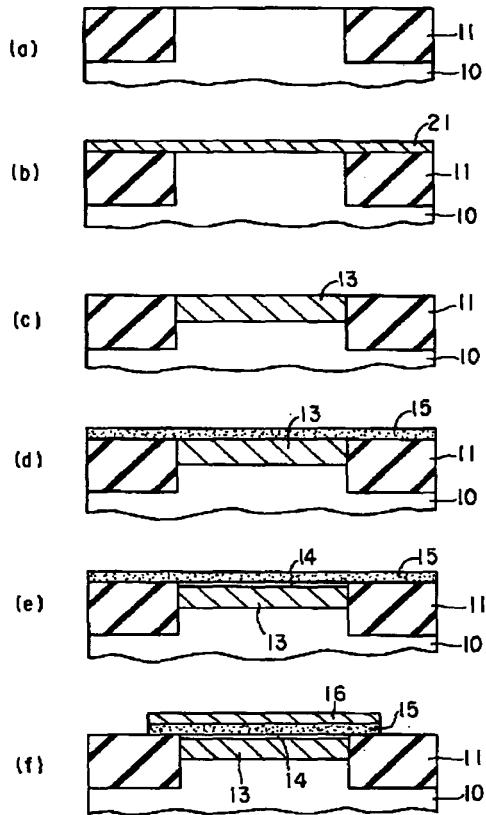
31…n型シリコン層

32…n⁺型シリコン層

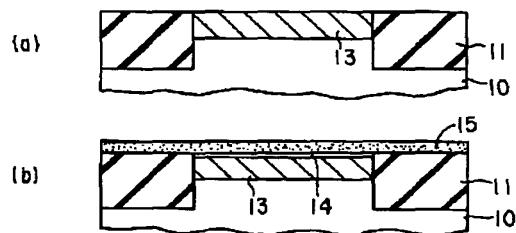
【図3】



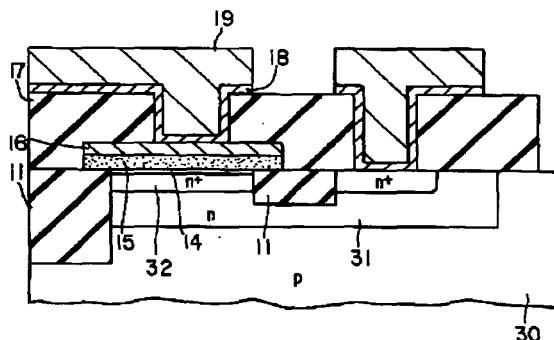
【図2】



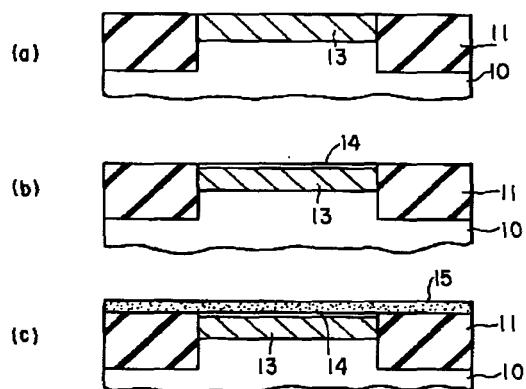
【図4】



【図6】



【図5】



(7) 002-110910 (P2002-1158

フロントページの続き

(72) 発明者 菅原 保晴

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝マイクロエレクトロニクスセン
ター内

(72) 発明者 井口 知之

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝マイクロエレクトロニクスセン
ター内

F ターム(参考) 5F038 AC05 AC16 AC17 AC18 EZ17
EZ20